

# HEAT TREATING METHOD FOR SUBSTRATE FOR GALLIUM ARSENIDE INTEGRATED CIRCUIT

**Publication number:** JP62265717 (A)

**Publication date:** 1987-11-18

**Inventor(s):** MIYAZAWA SHINTARO; HIUGA FUMIAKI

**Applicant(s):** NIPPON TELEGRAPH & TELEPHONE

**Classification:**

- **international:** *H01L21/324; H01L21/265; H01L21/02; (IPC1-7): H01L21/265; H01L21/324*

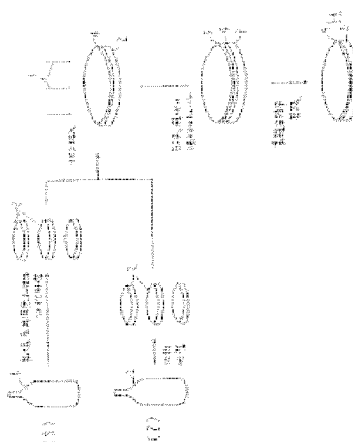
- **European:**

**Application number:** JP19860109149 19860513

**Priority number(s):** JP19860109149 19860513

## Abstract of JP 62265717 (A)

**PURPOSE:** To obtain a substrate for an integrated circuit having an electrically active layer including better uniformity by secondly heat treating a substrate made of gallium arsenide at high temperature for a short time under the condition that arsenic cavity in an ion implanted layer formed after firstly heat treating the substrate at high temperature for a long time is not increased. **CONSTITUTION:** A crystal ingot 1 is heat treated at high temperature for a long time, then cut, and polished to form wafers 2, and the wafers 2 are then heat treated in this state at high temperature for a long time. When the wafers 2 are implanted with Si ions 3 and annealed to activate the ions, an SiO<sub>2</sub> film 5 is bonded by a proper method, such as a vapor growing method for the purpose of increasing Ga cavity density VGa on a substrate, i.e., in an ion implanted layer 4, annealed at 800 deg.C for approx. 15 min. After annealing, the film 5 is removed. An integrated circuit of FETs is formed of a substrate 6 for the integrated circuit formed in this manner.



Data supplied from the esp@cenet database — Worldwide

## ⑫ 公開特許公報(A)

昭62-265717

⑤ Int.Cl.<sup>4</sup>H 01 L 21/265  
21/324

識別記号

庁内整理番号

C-7738-5F  
C-7738-5F

④ 公開 昭和62年(1987)11月18日

審査請求 未請求 発明の数 1 (全 6 頁)

⑥ 発明の名称 ガリウムひ素集積回路用基板の熱処理方法

② 特 願 昭61-109149

② 出 願 昭61(1986)5月13日

⑦ 発 明 者 宮 澤 信 太 郎 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑦ 発 明 者 日 向 文 明 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑦ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑦ 代 理 人 弁理士 田中 正治

## 明 細 書

1. 発明の名称 ガリウムひ素集積回路用基板の熱処理方法

## 2. 特許請求の範囲

1. ガリウムひ素からなる基板を高温度長時間の第1の熱処理をした後に、該基板表面にイオン注入によりイオン注入層を形成し、該イオン注入層内のひ素空孔を増加させない条件で、注入されたイオンを電気的に活性化するための高温短時間の熱処理を行うことを特徴とするガリウムひ素集積回路用基板の熱処理方法。

2. 特許請求の範囲第1項記載のイオン注入層内のひ素空孔を増加させない条件が、上記イオン注入層をシリコン酸化膜で覆うことによることを特徴とするガリウムひ素集積回路用基板の熱処理方法。

3. 特許請求の範囲第1項記載のイオン注入層内のひ素空孔を増加させない条件が、雰囲気ガスをひ素蒸気とすることによることを特徴とするガリウムひ素集積回路用基板の熱処理方法。

4. 特許請求の範囲第1項記載の第1の熱処理を、750℃から1000℃の範囲、5時間から30時間の範囲で行うことを特徴とするガリウムひ素集積回路用基板の熱処理方法。

5. 特許請求の範囲第1項記載の第2の熱処理を、750℃から850℃の範囲、15分から30分の範囲で行うことを特徴とするガリウムひ素集積回路用基板の熱処理方法。

## 3. 発明の詳細な説明

産業上の利用分野

本発明は、廉価に入手できる結晶欠陥(転位)を含んだ半絶縁性GaAs(ガリウムひ素)結晶基板を用いても、転位の存在による電気的不均一性が抑制されている高均一なイオン注入活性層を形成する方法に関するものである。

従来の技術

電界効果型トランジスタ(FET)を用いたGaAs集積回路は、半絶縁性GaAs結晶基板表面にイオン注入により、FETの動作層(n形活性層)を形成して製造されるのが一般

的であるが、このn形活性層の電気的均一性が基板全域にわたって要求される。このため、用いられる結晶基板の均一性が活性層に強く反映される。

これまで結晶基板の不均一性要因に、(1)結晶中の欠陥である転位の存在と分布、(2)結晶中の歪分布、(3)電気的欠陥であるEL2(半絶縁性GaAs結晶に特有な欠陥の総称、Ga格子位置にAsが入ったものといわれている)濃度の不均一分布が挙げられている。

この中で(3)のEL2濃度の分布は、(1)の転位の分布と密接に関係している。(2)の歪分布については歪分布を均一にすることによるFET特性の均一性改善は認められるものの、その効果の理由については不明な点が多い。他方、結晶欠陥である転位自身、あるいは転位密度がFET特性を左右することが明確になりつつあり、結晶の無転位化が進展し、Inを添加した無転位結晶が実現されており、(Appl. Phys. Lett., Vol. 44 No. 6

1985 P620-622)、FET特性の均一性は極めてよいことが実証されている。

しかしながら、このIn添加無転位結晶の製造は極めて難しく、Inの偏析による欠陥の発生、長尺な単結晶が得難い、結晶の電気的品質の再現性が乏しいなどいくつかの問題を抱えており、従って、In添加無転位結晶の価格も通常の有転位結晶に比べ数倍も高価であることから、GaAs集積回路のに実用化の一つのネックになっている。

一方、本発明者らはAppl. Phys. Lett., Vol. 44 No. 4 1984 P410-412において、基板結晶を高温で長時間熱処理を施すことにより、結晶の電気的不均一性は1/2に改善されることを見出している。しかしながら、熱処理後の結晶の電気的均一性は、上記のIn添加無転位結晶に比べれば、1/2~1/3ほど悪いことも判っている。

また、イオン注入後の活性化アニールをする

際に、注入表面を窒化膜、酸化膜などで覆って行う場合には、その膜種によって均一性が左右されることもよく知られているが、その理由については明確ではない。

#### 発明が解決しようとする問題点

本発明の一つの目的は、極く一般的な液体封止引上げ(Liquid Encapsulated Czochralski:LEC)法による有転位結晶がもつ電気的不均一性を低減する方法を提供するもので、無転位結晶の品質に近い均一性が得られることから、廉価な結晶をGaAs集積回路用基板として用いることができる。

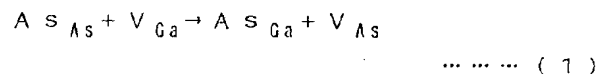
#### 問題点を解決するための手段

本発明は、ガリウムひ素からなる基板を高温長時間の第1の熱処理をした後に、その基板表面にイオン注入によりイオン注入層を形成し、そのイオン注入層内のひ素空孔を増加させない条件で、注入されたイオンを電気的に活性化するための高温短時間の第2の熱処理を行うこと

を特徴とする。

#### 作 用

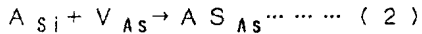
第2図は、LEC法で製作された結晶中の転位周辺での欠陥分布モデルを示す。転位にまつわる現象として、転位周辺にはEL2と称される固有欠陥が存在することは認められている。EL2の正体は、 $As_{Ga}$ (Ga格子位置に入ったAs)アンチサイト欠陥であると言われており、As格子位置からAsが抜け出しGa格子位置に入ることによって生じる。このとき反応式は、



で与えられる。ここに $As_{As}$ は正規の格子位置にあるAs、 $V_{Ga}$ はGa空孔、 $V_{As}$ はAs空孔である。このときの熱力学的定数Kは、 $[As_{Gs}] \cdot [V_{As}] / [As_{As}] \cdot [V_{Ga}]$  ( $[As_{As}] \approx 1$ )である。

従って、転位周辺でEL2が増加していることは $[V_{As}] / [V_{Ga}]$ 比が減少していること

を意味する。一方、結晶中にはGa空孔 ( $V_{Ga}$ ) やAs空孔 ( $V_{As}$ ) が、 $10^{19} \text{ cm}^{-3}$  程度存在していると言われている。また、転位周辺で $As_i$  (侵入形As、すなわち格子間隙に入ったひ素) が多いと、反応式



により、 $V_{As}$ 濃度は減少することになる。すなわち、結晶中の不均一性をもたらす転位の周辺は、 $[V_{As}] / [V_{Ga}]$ 比が小さいことを意味している。

FETの能動層は一般にSiイオンをイオン注入、活性化することで形成される。SiはGaAsに対して両性で、Asサイトに入ったSi ( $Si_{As}$ ) はアクセプタ、Gaサイトに入ったSi ( $Si_{Ga}$ ) はドナとして働く。従って、転位周辺では $[V_{As}] / [V_{Ga}]$ 比が小さい、すなわちAs空孔に比してGa空孔が多いので、イオン注入されたSiは、As格子位置よりもGa格子位置の方に多く入り、その結果アクセプタに比してドナが多くなり、電子からなるキ

ャリアが増大する。このキャリア増大は、集積回路用基板上に形成されたFETの閾値電圧を負にシフトする結果となり、転位から離れたFETと近いFETとで、キャリア濃度のばらつきが生じ、その結果閾値電圧に違いが生じ、これが閾値電圧のばらつき原因となる。

本発明者等は、基板結晶を、高温長時間熱処理をすれば、FET特性の転位による影響は低減されることを明確にした。すなわち、第3図は、転位からの距離(横軸)によるFETの閾値電圧(縦軸)が変化する様子を示している。例えば800℃で14時間熱処理した基板を用いると○印のように閾値の変動幅 $\Delta V_{th}$ は1/2以下となる。これは、第1図のモデルより、高温アニール(熱処理)中に、転位上に形成されたAs析出物からAsが放出され、 $As_i$ として格子間隙に拡散され、 $As_i$ の分布する範囲が広がる結果、(2)式より $[V_{As}]$ が減少し、 $[V_{As}] / [V_{Ga}]$ 比が増加し、その後イオン注入するとイオン注入されたSiはAs格子位

置よりもGa格子位置の方に多く入り、閾値電圧の低下をもたらすとして説明できる。従って、高温長時間アニールは、ひ素空孔を減少させる効果があるといえる。

逆に、結晶表面で $[V_{Ga}]$ 濃度を増加させることができれば、第1図に示した $[As_i]$ 分布による僅かな $[V_{As}]$ 変動分は、 $[V_{As}] / [V_{Ga}]$ 比の大幅な低下をもたらすことが期待でき、上記のような $[V_{As}]$ の増加による影響を抑止することができる。この $[V_{Ga}]$ 増加の為に、イオン注入後のアニールで結晶表面からGa原子をとり除くような膜をつけることで実現できる。そのためには、 $SiN$ 膜よりも $SiO_2$ のような酸化膜が適していることがわかった。すなわち、Gaは $SiO_2$ 膜中に拡散しやすく、 $SiN$ 膜にはほとんど拡散しない。

したがってGa空孔の増加により、ドナの濃度すなわちキャリア濃度のばらつきが抑制され、その結果、閾値電圧のばらつきが抑制されることになる。

以上のように、従来は全く論議されていなかった転位周辺での欠陥モデルを提唱し、実験で確認することにより、転位の影響を低減できる方策を新しく抽出することができた。

第1図は、本発明によりFETの能動層を形成する第1の実施例を説明する図であり、(1)は結晶インゴット1を高温長時間熱処理した後、切断・研磨してウェハ2とする。(2)は結晶インゴット1をウェハ2にした後に、ウェハ2の状態を高温長時間熱処理をする。(1)、(2)共以後は同様である。

すなわち、これらウェハ2にSiイオン3を注入し、注入イオンの活性化のアニールを施す際、Ga空孔濃度 $V_{Ga}$ を基板表面、すなわちイオン注入層4内で増加させる目的で、 $SiO_2$ 膜5を気相成長法等適当な方法で付着させ、800℃で15分前後アニールをする。アニール後、 $SiO_2$ 膜5を除去する。こうして形成された集積回路用基板6を用いてFET等の集積回路を形成する。

次に、高温長時間熱処理の効果について実験データをもとに説明する。

第4図は、800℃で24時間熱処理した集積回路用基板にFETを形成して、その閾値電圧（縦軸）の分布をウェハ上<110>面内の中心からの距離（横軸）に対して●印で示しており、熱処理を施さない場合は○印で示してある。無熱処理ウェハでは、閾値の変動は大きく、その不均一性を示す標準偏差 $\delta V_{th}$ は119mVであったものが、高温長時間熱処理により59mVに減少し、熱処理効果は約1/2であることが判る。この時の注入イオン活性化にはSiN膜（シリコン窒化膜）を保護膜として用いた。

次に、注入イオン活性化アニールの為の保護膜としてSiO<sub>2</sub>（シリコン酸化膜）を用いた例が第5図であるが（縦軸はシートキャリア濃度Ns、横軸は<110>面内の中心からの距離）、SiN膜を用いた場合に比べてイオン注入活性層のキャリア濃度Nsのばらつきは、約

1/2に低減されている。SiN膜を用いた場合の破線の、いわゆるW形分布は、ウェハ面内の転位分布（○印）であるW形分布を反映している。この場合、ウェハには、イオン注入前の高温長時間熱処理は施していない。FETの閾値電圧 $V_{th}$ は

$$\begin{aligned} V_{th} &\equiv V_{bi} - (q/2\epsilon\epsilon_0) n' \cdot d^2 \\ &= V_{bi} - (q/2\epsilon\epsilon_0) n s' \cdot d \\ &\dots\dots\dots (3) \end{aligned}$$

で近似される。ここに $V_{bi}$ はショットキー障壁電圧で約0.8V、 $\epsilon$ 、 $\epsilon_0$ は比誘電率と真空の誘電率、 $q$ は単位電荷、 $n$ は活性層のキャリア密度、 $Ns$ は活性層のシートキャリア濃度、 $d$ は活性層の深さ（ $\sim 0.14\mu m$ ）である。（3）式から、シートキャリア濃度の均一性によりFETの閾値 $V_{th}$ の均一性を評価できるから、第5図のSiO<sub>2</sub>膜を用いたアニールの場合は、SiN膜を用いたアニールに比べ、 $\delta V_{th}$ は約1/2以下になることがいえる。

本発明の主旨は、前述の欠陥モデルから初め

て明白にできた転位の影響を抑止するために、第4図に示した高温長時間熱処理の効果と、第5図に示した注入イオン活性化アニール用保護膜にSiO<sub>2</sub>膜を用いて得られる効果を組合せて、相乗的に均一性を向上させることができることを提示するものである。

第6図は、800℃で15時間熱処理したウェハにイオン注入後の保護膜にSiO<sub>2</sub>膜を用いたときの、シートキャリア濃度の均一性を示したもので（縦軸はシートキャリア濃度、横軸はウェハ中心からの距離）、高温長時間熱処理、SiO<sub>2</sub>保護膜を用いたアニールを単独に行った場合に比べて、不均一性、すなわちシートキャリア濃度のばらつきは、1/2に減少、すなわち均一性は向上していることが判る。イオン注入前の長時間熱処理とSiO<sub>2</sub>保護膜を用いたイオン注入活性化アニールの併用によって、各々の均一化向上が相乗的に作用し、例えばシートキャリア濃度のばらつきは、 $\pm 2.5 \times 10^{11}/cm^3$ （第5図、SiN膜を用いた場合）

のものが、 $\pm 0.4 \times 10^{11}/cm^3$ （第6図）に減少している。これは単独で処理した場合の1/2に減少することに比して、さらに減少しており、明らかに相乗効果があると認められる。

本実施例では、高温長時間熱処理の条件は、800℃で15、24時間の例を示したが、少なくとも750℃以上、5時間以上で、温度が低ければ長時間、高ければ短時間でよいことは明らかである。熱処理条件は、750℃ $\sim$ 1000℃、5時間 $\sim$ 30時間が好適である。熱処理条件は、本発明の主旨を限定するものでない。また、 $V_{Ga}$ 濃度を増加させ得る注入イオン活性化アニール用膜は、SiO<sub>2</sub>膜について述べたが、一連の酸化膜、例えばSiO<sub>2-x</sub>N<sub>x</sub>膜のような化合物からなる膜でもよく、要は注入されたSiイオンの活性化を促進する膜であれば、本発明の主旨を逸脱しない。さらにつけ加えれば、SiO<sub>2</sub>膜の代りに、As雰囲気中でアニールすることで、本発明の基本となっているモ

デルを考えると、活性層中に $A_{Si}$ を増加させること、すなわち $A_S$ の空孔を増加させないことになるから、高温長時間熱処理の効果と同じことになり、従って高温長時間熱処理基板と、 $A_S$ 雰囲気中でのアニールとを組合せても、本発明の主旨に沿っていることは明らかである。

#### 発明の効果

以上説明したように、高温長時間熱処理による均一性向上効果と、 $V_{Ga}$ を増加させる $SiO_2$ 保護膜（あるいは $SiO_2$ 系膜、あるいは $A_S$ 雰囲気）による注入イオン活性化アニールの均一性向上効果を組合せることによって、 $A_{Si}$ を増加させる相乗効果により、シートキャリア濃度や閾値電圧等の均一性がよい。すなわちより均一性のよい電氣的活性層を有する集積回路用基板を得ることができる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例を示す略線図である。

第2図は、転位周辺の欠陥モデルを示す図で

ある。

第3図は、転位からの距離によるFET閾値の変化を示す図である。

第4図は、集積回路用基板面上の閾値変化を示す図である。

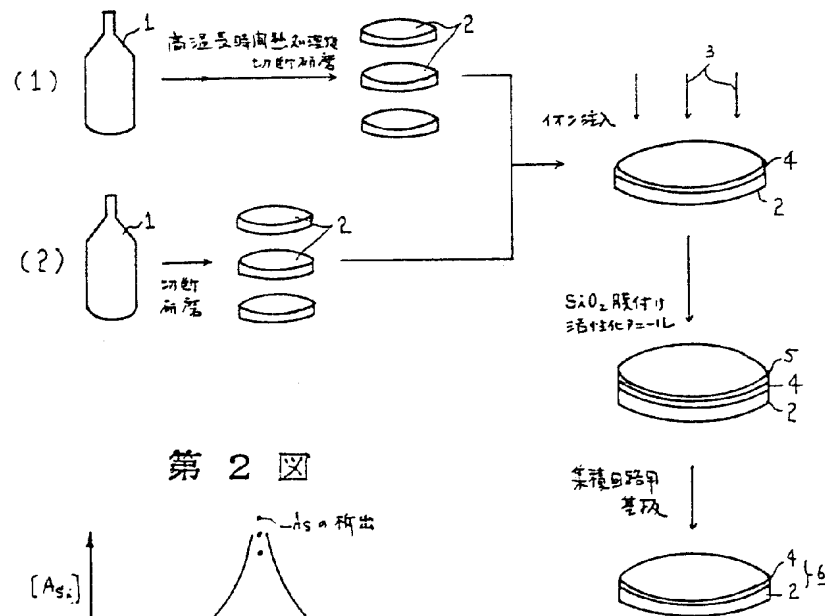
第5図は、 $SiO_2$ 膜と $SiN$ 膜で比較したシートキャリア濃度の分布を示す図である。

第6図は、高温長時間熱処理と $SiO_2$ 膜アニールの組合せによるシートキャリア濃度の分布を示す図である。

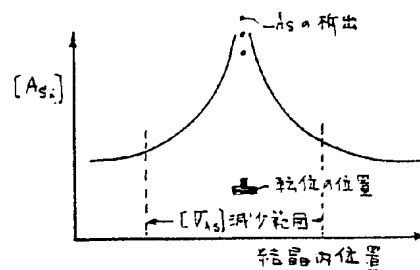
出願人 日本電信電話株式会社

代理人 弁理士 田中正治

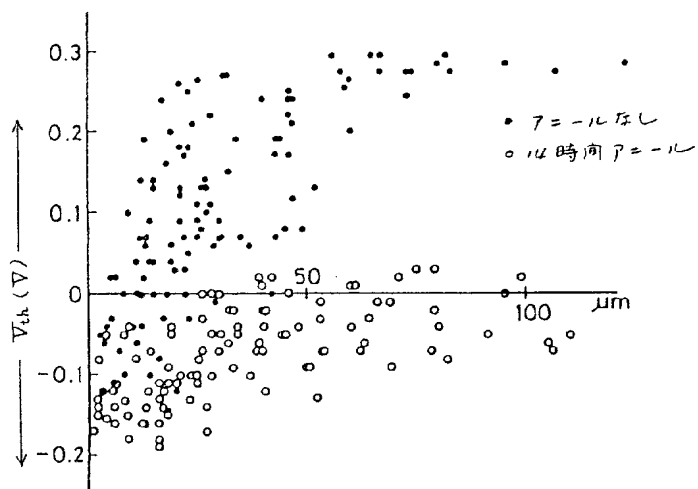
### 第1図



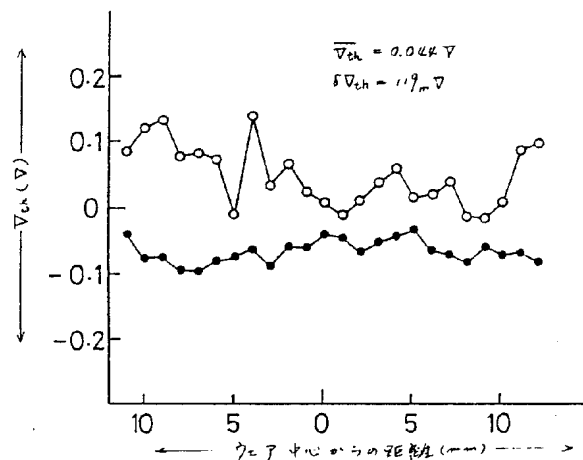
### 第2図



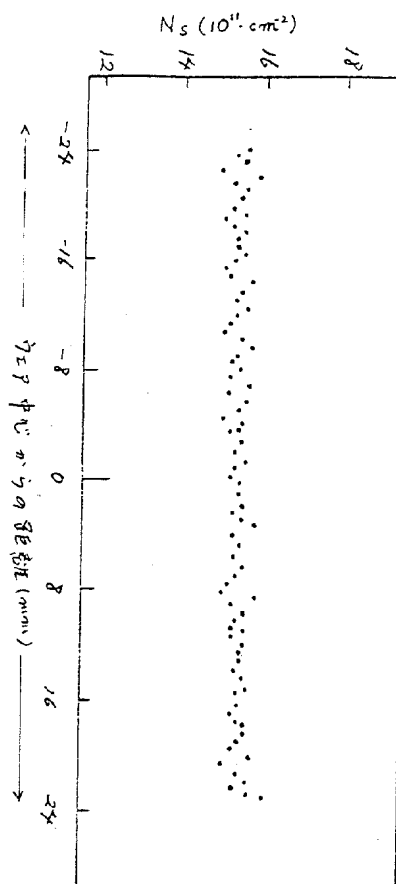
第3図



第4図



第6図



第5図

